

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-130306

(43)Date of publication of application : 19.05.1995

(51)Int.Cl.

H01J 31/15

H01J 1/30

H01J 31/12

(21)Application number : 05-299107

(71)Applicant : FUTABA CORP

(22)Date of filing : 05.11.1993

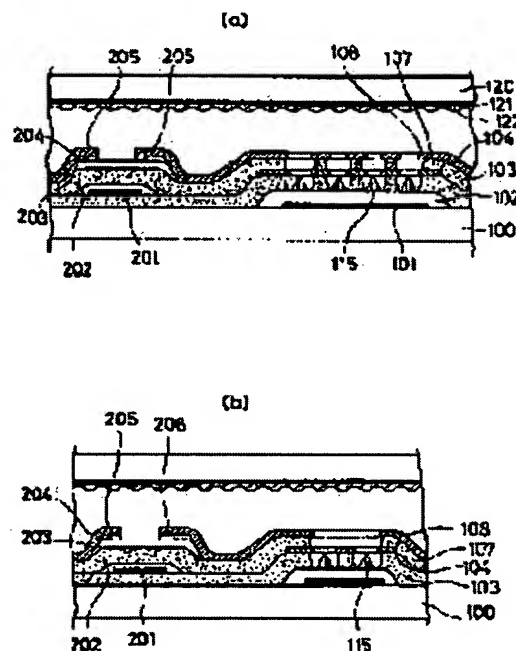
(72)Inventor : ITO SHIGEO

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To feed scanning voltage for display at low voltage by forming a switching element conducted to a focusing electrode on a substrate forming a field emission element.

CONSTITUTION: A cathode electrode layer 101 is formed on a glass substrate 100, and a resistance layer 102 is formed thereon. A conical emitter 115 is deposited thereon. A gate electrode layer 104 is provided thereon through an insulating layer 103, and a focusing electrode layer 108 is provided thereon through an insulating layer 107. The electron emitted from the emitter 115 passes the electrode layers 104, 108 provided with holes of approximately 1μ , is emitted on the side of an anode electrode 121, and collides with the electrode 121 to excite phosphor material, thus inducing emission. An image is displayed by scanning an electrode 121. A reverse-stagger type TFT consisting of a gate electrode 201, a source electrode 205, and a drain 206, is provided to apply voltage to the focusing electrode 108, and scanning voltage is applied to the source electrode 204 and the gate electrode 201 of the TFT in the direction X-Y.



LEGAL STATUS

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3168795

[Date of registration] 16.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130306

(43) 公開日 平成7年(1995)5月19日

(51) Int. Cl. ⁷	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 J 31/15	A			
	P			
1/30	Z			
31/12	B			

審査請求 未請求 請求項の数4 F D (全 7 F D)

(21) 出願番号 特願平5-299107

(22) 出願日 平成5年(1993)11月5日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 伊藤 茂生

千葉県茂原市大芝629 双葉電子工業株式

会社内

(74) 代理人 井樹士 脇 篤夫 (外1名)

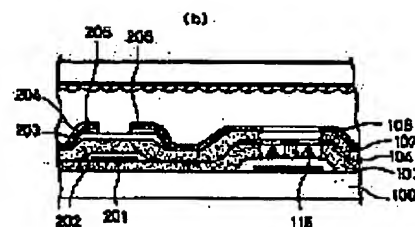
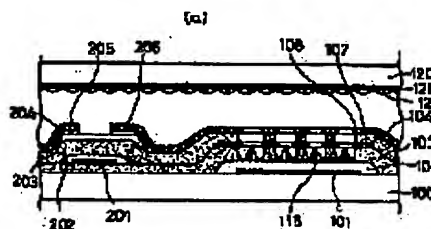
(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 電界放出素子を電子源とする表示装置において、表示用の走査電圧を低電圧で供給できるようにする。

【構成】 ガラス基板100、カソード電極層101、エミッタ115、ゲート電極層104、及び集束電極108からなる電界放出素子と、この電界放出素子の上方に配置されているアノード電極層121、蛍光材122によって構成される表示装置において、集束電極108に電圧を印加するためにゲート電極201、ソース電極205、ドレイン電極206からなる逆スタガ型のTFTを設け、このTFTのソース電極204、及びゲート電極201に対してX-Y方向の走査電圧を印加するようにしている。

【効果】 集束電極108は低電圧でエミッタからの放出電流をコントロールできるため、低電圧の駆動回路とすることができる。



【特許請求の範囲】

【請求項1】 基板上に形成されたカソード導体層の上方に電子を放出するコーン状のエミッタを多数個蒸着し、このエミッタから電子を放出するためのゲート電極層と、引き出された電子を収束するための前記ゲート電極層の上方に配置されている1又は2層の集束電極層によって構成されている複数の電界放出素子を備えている積層基板と、

この積層基板の上面に配置され、蛍光材が付着されているアノード電極とを真空容器内に封入した表示装置において、

上記複数の電界放出素子を表示面内で所定のブロックに分割すると共に、上記積層基板上でX、Y方向に伸びるマトリックス状に配置されている制御線を配置し、この制御線の交点と上記電界放出素子の集束電極間にスイッチング素子を形成し、このスイッチング素子を介して上記集束電極に順次走査信号が供給されるように構成されていることを特徴とする表示装置。

【請求項2】 上記スイッチング素子は薄膜トランジスタによって構成されていることを特徴とする請求項1に記載の表示装置。

【請求項3】 上記スイッチング素子はMIM2端子スイッチング素子によって構成されていることを特徴とする請求項1に記載の表示装置。

【請求項4】 上記集束電極は上記複数のエミッタをグループとして同時に制御するように構成されていることを特徴とする請求項1又は2又は3に記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はコールドカソードとして知られている電界放出素子を利用した表示装置に関するものである。

【0002】

【従来の技術】金属または半導体表面の印加電界を10⁹ [V/m]程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われるようになる。これを電界放出 (Field Emission) と云い、このような原理で電子を放出するカソードを電界放出素子 F E C (Field Emission Cathode) と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出素子を多数個同時に形成し、面放出型の電界放出カソードを作成することが可能となっており、この電界放出カソードをブロック化してマトリックス状に配置し、ブロック毎に放出された電子を蛍光面に照射することによってフラットな表示装置や各種の電子装置に適応する技術が開発されている。

【0003】上記した電界放出素子の製造方法の1つはスピントの開発した回転斜め蒸着方法 (米国特許第3789471号明細書) であり、他の方法としてはシリコン単結晶板の選択エッチング法に基づくものがある。前者は陰極チップ材料をほぼ自由に選択できるという特徴があり、後者は現在の半導体微細加工がそのまま適用できるという特徴を有する。

【0004】以下、スピント (SPINDT) 法に対応する F E C の製造方法 (特開平1-154426号公報) の概要を図6を参照して簡単に説明する。まず、図6 (a) に示すように、ガラス等の基板100の上にカソード電極層101が蒸着により形成されており、さらにその上にシリコンを積層して抵抗層102を形成し、さらに酸化シリコンによって絶縁層103が形成されている。そしてさらに、その上に導電体を蒸着してゲート電極層104が形成される。このような積層基板はその上面となっているゲート電極層上にフォトリソ層111を塗布した後、コールドエミッタを作る領域以外をマスク112するパターニングが行われ、このレジスト層に紫外線を照射して専用の溶液でレジスト層111を除去する。その結果、同図 (b) に示されているようにコールドエミッタを形成する領域が開ロ113とされる。

【0005】この開口の直径は約1 μ mとされており、例えばSF₆ガス等によって上面からドライエッチングすることによってゲート電極層104にも穴が開けられる。次に、この積層基板をエッチング液に浸すことによって等方性エッチングを行い、絶縁層103の部分をエッチングすることによって図の (c) に見られるようにホール114を形成する。そして、このような積層基板全体を斜めに支持し回転させながら、剥離層105となるアルミニウムの斜め蒸着を行うと、剥離層105は開けたホール内114の中には蒸着されず、ゲート104電極層の表面にのみ選択的に蒸着されるようになる。

【0006】次に、このような積層基板のホール114側からエミッタ材料であるモリブデンを正蒸着によって堆積させると、同図 (d) に示すように蒸着したモリブデンがホール114から落ち込むと同時に、剥離層105の上にも堆積する。そしてこの剥離層105の上に堆積するモリブデンによって開口部が開鎖されながら、抵抗層102の上にコーン状のエミッタ115が形成される。この後、ゲート電極層104上の剥離層105及びエミッタ材料層106をエッチングにより除去すると、同図 (e) に示すような形状の電界放出素子 (F E C) が得られるようになる。

【0007】上記製造方法において、積層基板を形成する際にゲート電極104の上方に第2の絶縁層107を被膜し、さらにこの絶縁層107の上側に第2のゲート電極層108を被膜成形した積層基板を使用すると、図6 (f) に見られるようにこの第2のゲート電極層108を集束電極として使用できる4極管構造の F E C を製造することもできる。

【0008】この図に示すように、F E C はコーン状のエミッタ115とゲート電極層104との距離をサブミ

クロンとすることができるため、エミッタ115とゲート電極層104間にわずか80ないし120ボルトの電圧を印加することによりエミッタ115の先端の電位傾度は非常に高くなるから、真空中であれば常温でも電子を放出させることができるようになる。

【0009】図7は上記したような方法で構成した電界放出素子を利用して表示装置を構成する従来の技術を斜視図で示したものである。(特開平2-309541) この図において100はガラス基板であり、101はカソード電極層、102は抵抗層、103は絶縁層、104はゲート電極層を示す。この積層基板に対向して配置されている120は表示面を形成するガラス基板であり、その内面には透明電極でアノード導体層121が設けられ、このアノード電極層には電子が衝突したときに発光する蛍光材122が所定のパターンで塗布されている。

【0010】上下2つのガラス基板の空間は真空状態に保たれており、この従来の技術の場合は分割された各ゲート電極は薄膜トランジスタ(TFT)117を介してゲート電極走査用の電圧が印加されている走査電極118と接続されており、このTFT117を介してゲート電極に電圧が印加された時に前記各エミッタ115から電子が放出されるように構成されている。

【0011】したがって、上記TFT117の走査電極118(ドレイン電極)に走査信号を供給すると共に、この走査信号に同期してTFT117のゲート電極に接続されている走査電極119に表示画面信号を供給するようなドライブ回路を設けることによって、アノード電極層に塗布されている蛍光材を発光し、文字図形を表示することができる。

【0012】

【発明が解決しようとする課題】ところで上記したような表示装置はエミッタ115から画像信号に対応する電子を十分に放出するために、抵抗層がない時でもゲート電極104には40から80ボルトの電圧を印加する必要があり、抵抗層が設けられているときはゲート電極104には80から120ボルト程度の電圧をかける必要がある。そのため、このような電圧に対して十分なスイッチング動作を行わせる高圧のTFTを数μ単位で積層基板上に構成することは極めて困難である。

【0013】また、アノード電極121を画素単位に分割してマトリックス状に配置し、帯状に分割したアノード電極に走査電圧を印加することも考えられるが、この場合はさらに高い電圧(数百ボルト)を印加する必要があるため、ドライブ回路が高価になり発熱を伴うと共に、コストアップを招き、かつ省電力化が困難になるという問題がある。

【0014】

【課題を解決するための手段】本発明は上記した問題点を解消するためになされたもので、基板上に形成された

カソード導体層の上に電子を放出するコーン状のエミッタを多数個蒸着し、このエミッタから電子を放出するための第1ゲート電極層と、引き出された電子を収束するための前記ゲート電極層の上方に配置されている集束電極層によって構成されている複数の電界放出素子を備えている積層基板と、上記電界放出素子を表示面内で所定のブロックに分割すると共に、上記積層基板上にX、Y方向に伸びるマトリックス状の制御線を配置し、この制御線の交点と上記集束電極導体層間にスイッチング素子を形成すると共に、このスイッチング素子を介して上記集束電極に画像表示のための走査信号が供給されるように構成したものである。

【0015】

【作用】上記集束電極による放出電子のコントロールは、比較的低電圧で行うことができるから、上記スイッチング素子は低電圧タイプのTFT又はMIM2端子スイッチング素子で形成することができ、集積技術を利用して高密度に配置することによって画質の向上を図ることができる。

【0016】

【実施例】図1は本発明の表示装置に採用される電界放出素子の断面の一部分を拡大して示したもので、前述したように100はガラス基板である。101はこのガラス基板の上面に蒸着等によって形成されているカソード電極層であり、このカソード電極層101の上面には抵抗層102が積層されている。そして、この抵抗層102の上方は前記したスピントの方法等によって作られた先端が円錐形状で突出しているコーン状のエミッタ115が蒸着されている。また、このエミッタ115の上方には、絶縁層103で支持されているゲート電極層104が設けられ、さらにその上面に第2の絶縁層107を介して集束電極層108が設けられている。

【0017】上記第2の絶縁層107及び集束電極層108は、4極管構造のFECとしてよく知られているものであり、上記スピントの方法が又は本出願人が先に提案した方法(特開平5-191848号)で積層基板を形成する際に、絶縁層と集束電極層をあらかじめ積層しておくことにより容易に構成することができるが、その詳細な製造方法は省略する。

【0018】各エミッタ115の高さは約1ミクロン程度であり、また1つのエミッタ115から放出される電子は1ミクロン程度の穴が設けられているゲート電極層104および集束電極層108を通過し、前記アノード電極層121に衝突して蛍光物質が励起されその部分が発光する。発光部分はこのような電界放出素子の数10ないし数100個分が1画素を形成するものであって、各画素は後述するようにマトリックス状に配線されている帯状の電極を走査電圧で走査することによって画像の表示が行われるものである。

【0019】この本発明の表示装置に採用される電界放出素子には、その側面にその製造過程で逆スタガ型の薄膜トランジスタ(TFT)が形成される。すなわち、前記した図1(a)の絶縁層103を延長した部分の上方には蒸着等によってTFTのゲート電極201が形成され、その上にSiO₂からなるゲート絶縁層202が形成される。そして、横方向に延びている第2の絶縁層107の上にアモルファスシリコン層203と、隣をドープしたn⁺アモルファスシリコン層204を形成してTFTの信号経路となるチャンネル領域が形成される。このチャンネル領域の両端にはTFTのソース電極205とドレイン電極206が設けられるが、ソース電極205と、ドレイン電極206は前記電界放出素子の集束電極層108を構成する導電体を蒸着するときと同時に形成される。

【0020】このような逆スタガ型のTFTはよく知られているようにTFTのゲート電極201に電圧が印加されるとチャンネル内を電荷が移動できるようになり、ソース電極205とドレイン電極206が導通状態に制御される。その結果、集束電極108の電位がソース電極205に印加されている電位と等しくなる。

【0021】なお、上記実施例はコーン状の各エミッタ115毎にその上方に開口を有するゲート電極104と集束電極108が形成されているが、同図(b)に示されているように集束電極108としてはエミッタ115の2又は4個をまとめて制御するようなやや広めの開口を有するように構成することもできる。

【0022】上記実施例は、集束電極108に電圧を印加するスイッチング素子として同一基板上に形成されているTFTを使用するようにしたが、スイッチング素子としては図2の(a)に示されているようにMIM(Metal Insulator Metal)2端子スイッチング素子を同様な方法で構成するようにしてもよい。すなわち、同図

(a)に示されているように横方向に延びている絶縁層103の上面に導電性の材料(Ta)を蒸着して一方の端子207を帯状に蒸着し、その上方にTa₂O₃を絶縁層208として被膜する。そしてこの絶縁層の上方に前記した集束電極を構成する材料を延長して蒸着して他の方向の端子209として、この端子間がトンネル効果によってオン/オフ制御されるMIM(Metal Insulator Metal)2端子スイッチング素子を形成する。なお、上記図2の(b)は図1の(b)に示されているように、集束電極108が2又は4個のエミッタ115に対して共通して設けられる場合の断面図を示す。

【0023】本発明の表示装置に採用されている電界放出素子は上記したような断面構造で具体化されているように、エミッタ115から放出される電子を収束する作用を有する集束電極層108とTFTのドレイン電極206が積層基板上で接続されている。したがって、このTFTのソース電極205とゲート電極201をマトリ

ックス上に配置されている制御線の交点に接続し、操作電圧を順次印加すると、従来の表示装置で説明したように映像信号を表示することができるようになる。

【0024】図3の(a)(b)は、集束電極によって上記したような電界放出素子のエミッタから放出された電子がどのように影響されるかをシュミレーションした電子の軌跡を示したものであって、ゲート穴径は1 μ m、コーンの高さ1 μ m、集束電極の穴径1、2 μ m、ゲート-集束電極間の距離1 μ m、ゲート電極層及び集束電極層の厚み0.4 μ m、コーン底部からアノード電極迄の距離200 μ mとした場合のエミッタの頂上中心点Pから放出される右半分の放出電子の軌跡が描かれている。

【0025】このシュミレーションによって得られる電子の軌跡は、電子を放出する点がエミッタの頂点Pにあるものとし、電子を放出するためのゲート電極G1が僅かな間隙(1 μ m)をおいて設けられ、さらにその上方に集束電極G2と、さらに離れた上方にアノード電極層Aが上記した寸法で配置されているときを想定している。そしてゲート電極G1に120ボルト、アノード電極に400ボルト印加し、集束電極G2が0ボルトの場合は同図(a)示すようにエミッタの頂点Pから放出された電子の大部分は空間電荷効果によってアノード電極まで到達していないことがわかる。

【0026】しかし、この状態で集束電極G2に10V程度の電圧を印加すると、図3の(b)に示されているように、空間電荷によって漂っていた電子の流れが顕著に改善され、大部分の電子がアノード電極に到達するように電子の流れが変更し、アノード電流が増加する。

【0027】図4は上記した電子放出用のエミッタ115の複数個をブロック化して一点鎖線で示す電界放出素子セル(以下、セルという)300とし、この各セルをダイナミック駆動する場合のドライブ回路を示したものである。すなわち各セル300は複数個のエミッタ115と、この各エミッタ115に対するゲート電極104と集束電極108によって構成されている。各セル300の中には1個のTFTが設けられており、このTFTのゲート電極は行単位で制御線G1、G2、G3・・・Gnに接続される。また、TFTのソース電極は列単位で制御線S1、S2、S3・・・Snに接続されている。

【0028】各セル300のゲート電極104は共通してして接続され所定の加連電圧(E1)に接続され、また各セル300のエミッタ115も抵抗層を介して導通しているカソード電極によって一括して所定の電圧(通常はゼロレベルの電圧E2)が供給されるように配線されている。なお、TFTのドレイン側に形成される浮遊容量Cの端子Gは図示されていないが全てグランドにアースされている。

【0029】上記した表示駆動回路は、例えば画面の水

平方向に配置されている制御線 G1、G2、G3・・・に時分割的に走査パルスを順次供給するドライブ回路に接続し、垂直方向に配置されることになる制御線 S1、S2、S3・・・に上記走査パルスと同期して一水平期間の映像信号（文字図形信号）を逐次供給すると、前記したように TFT が導通した時のセル 300 にはその集束電極 108 に 10 ボルト程度低い電圧が印加されることになり、前記図 3（b）に示すようにこのセル内のエミッタから放出された電子がアノード電極を射突する。その結果 TFT が導通状態とされたセル 300 の上方に位置している蛍光体が発光し、映像信号に対応して画像を表示することができる。なお、図 4 に示されているスイッチング素子は 1 個の TFT で形成されているが、2 個の TFT を使用する CMOS タイプのスイッチング素子によって形成することが好ましい。

【0030】図 5 は上記した電界放出素子ブロックが M1M2 端子スイッチング素子によって構成されているセル 301 を駆動する回路例を示しており、各セル 301 は M1M2 端子スイッチング素子によって能動化されるように構成されている。この場合は図 4 にした場合と同様に水平方向に設けられている制御線 G1、G2、G3・・・と、垂直方向の設けられている制御線 S1、S2、S3・・・の交点に位置するセル 301 が電子を放出するものである。なお、このスイッチング素子は 2 端子とされているためオプスルー制御動作を行う、すなわち制御線 G1、G2、G3、・・・の電位が高電位になっているとき制御線 S1、S2、S3・・・を走査している走査電圧が逆バイアスとなっている交点のセルが能動化され、このセルの集束電極 108 に電圧が印加されることになる。

【0031】なお、上記実施例は集束電極 108 が 1 層の場合について述べたが、集束電極を 2 層にした 5 極管構造の FEC に対しても、本発明の技術を適用できることはいうまでもない。

【0032】

【発明の効果】以上説明したように本発明の表示装置

は、少なくともエミッタに対して電子を引き出すゲート電極と、引き出された電子の広がりを制限する集束電極からなる 4 極構造の電界放出素子によって構成し、この電界放出素子を形成する基板上に集積技術によって集束電極と導通するスイッチング素子が形成されているから、このスイッチング素子を介して前記集束電極に対して走査用の低電圧の信号を印加することができる。したがって、スイッチング素子の寸法を μm オーダで集積化することが容易であり、表示画面の解像度を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の表示装置に採用され電界放出素子の一部を拡大した断面図である。

【図 2】本発明の他の実施例を示す電界放出素子の一部を拡大した断面図である。

【図 3】電界放出素子より引き出される電子の軌跡をシュミレーションした説明図である。

【図 4】本発明の電界放出素子によって構成される表示装置の駆動回路例を示す配線図である。

【図 5】図 3 の電界放出素子を使用したときに駆動回路例を示す配線図である。

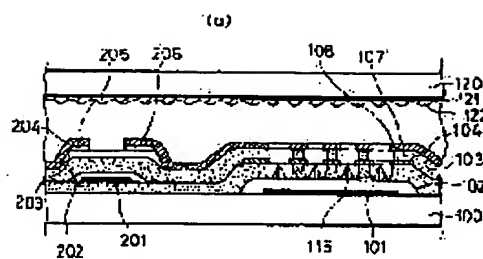
【図 6】電界放出素子の製造方法の一例を示す説明図である。

【図 7】FEC によって構成される表示装置の従来例を示す斜視図である。

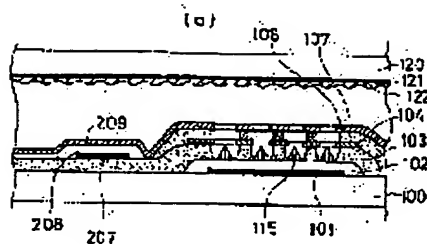
【符号の説明】

- 100 ガラス基板
- 101 カソード電極層
- 102 抵抗層
- 103, 107 絶縁層
- 104 ゲート電極層
- 108 集束電極層
- 121 アノード電極層
- 201 TFT のゲート電極
- 205 TFT のソース電極
- 206 ドレイン電極

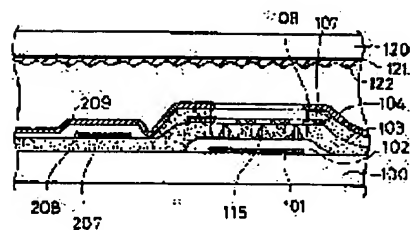
【図 1】



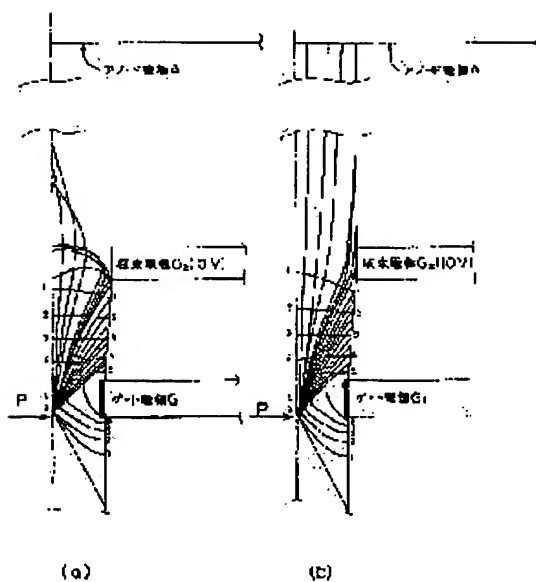
【図 2】



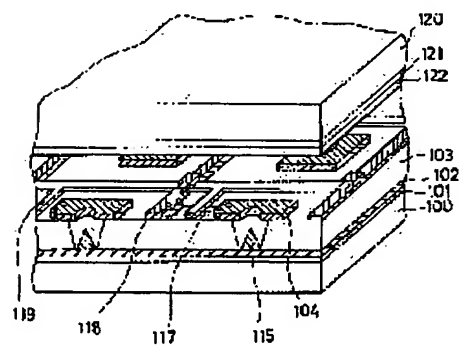
(b)



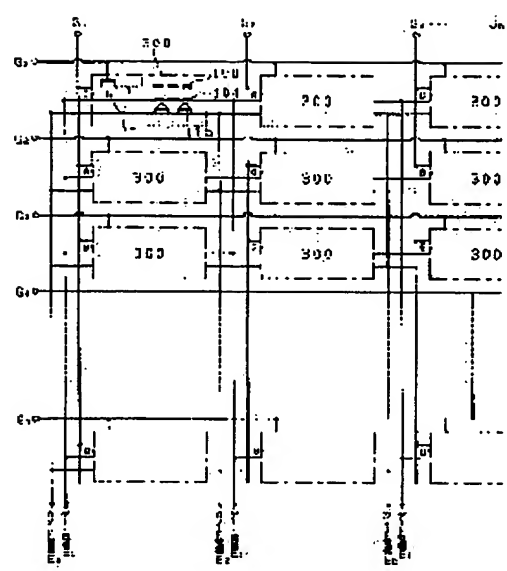
【図 3】



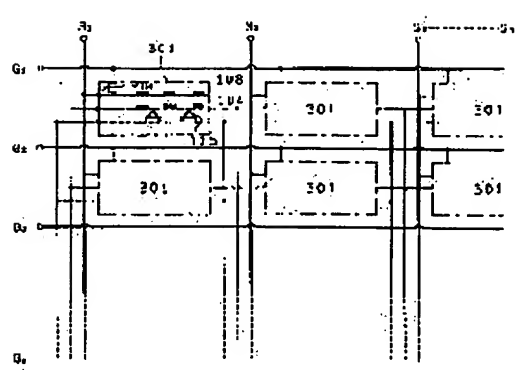
【図 7】



【图 4】



【图 5】



【图 6】

